

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 08-288950

(43)Date of publication of application : 01.11.1996

(51)Int.Cl.

H04L 12/28

H04Q 3/00

(21)Application number : 07-086714

(71)Applicant : KAWASAKI STEEL CORP

(22)Date of filing : 12.04.1995

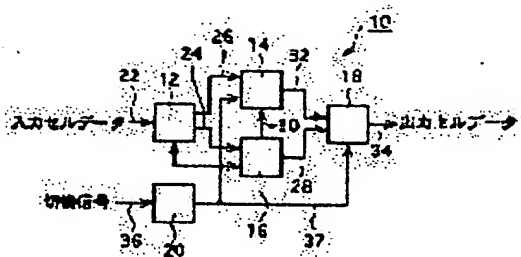
(72)Inventor : YOSHIZAWA HIROSHI

(54) CELL RELAY TYPE EXCHANGE

(57)Abstract:

PURPOSE: To increase number of entries to a header corresponding to a high transmission speed by providing a circuit selecting a parallel processing circuit processing collation by a header update circuit in parallel or a series processing circuit processing collation by the header update circuit in series.

CONSTITUTION: A switching signal 36 is given to a changeover circuit 20 and a control signal 37 corresponding to the signal 36 is used to control an input control circuit 12, a communication data buffer 14, and an output control circuit 18 to select parallel or series processing. In the case of parallel processing, since a header is collated in parallel independently by each CAN used in parallel, a throughput of a header update circuit 16 is improved, a time allowed or collation update processing of a header 24 is extended by a multiple of several number and the processing copes with a high transmission speed. On the other hand, in the case of series processing, in the case of collation of the header, only the header 24 of input cell data 22 at a time is collated in series, then number of entries of the header of an input communication line to be registered in a CAM is increased.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2000 Japanese Patent Office

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平8-288950

(43) 公開日 平成8年(1996)11月1日

(51) Int. Cl. ⁶	識別記号	庁内整理番号	F I	技術表示箇所
H 0 4 L 12/28		9466-5K	H 0 4 L 11/20	D
H 0 4 Q 3/00		9466-5K	H 0 4 Q 3/00	
			H 0 4 L 11/20	E

審査請求 未請求 請求項の数 1 O L (全 8 頁)

(21) 出願番号 特願平7-86714

(22) 出願日 平成7年(1995)4月12日

(71) 出願人 000001258

川崎製鉄株式会社

兵庫県神戸市中央区北本町通1丁目1番28号

(72) 発明者 吉 澤 宏

東京都千代田区内幸町2丁目2番3号 川崎製鉄株式会社東京本社内

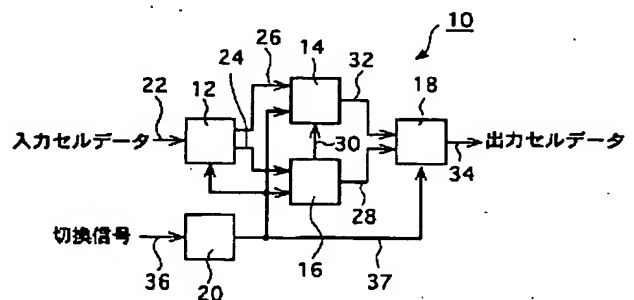
(74) 代理人 弁理士 渡辺 望穂 (外1名)

(54) 【発明の名称】 セルリレー形交換装置

(57) 【要約】

【目的】 高速な伝送速度に対応することができ、容易にCAMのエントリー数を増加することができるセルリレー形交換装置の提供。

【構成】 入力セルデータをヘッダーおよび通信データに分離する入力制御回路と、通信データを保持する通信データバッファと、CAMにより入力セルデータのヘッダーと入力通信回線で使用される全てのヘッダーとを照合して、一致する入力通信回線のヘッダーに対応する出力通信回線のヘッダーを出力するヘッダー更新回路と、通信データバッファから出力される通信データおよびヘッダー更新回路から出力される出力通信回線のヘッダーを合成し、これを出力セルデータとして出力通信回線に出力する出力制御回路と、ヘッダー更新回路のCAMを並列に使用し、照合を並列に処理する並列処理とヘッダー更新回路のCAMを直列に使用し、照合を直列に処理する直列処理とを切替える切替回路とを備えることにより、上記目的を達成する。



【特許請求の範囲】

【請求項 1】 入力通信回線から入力される入力セルデータをヘッダーおよび通信データに分離する入力制御回路と、前記入力セルデータの通信データを保持する通信データバッファと、前記入力通信回線で使用される全てのヘッダーおよびこれに対応する出力通信回線のヘッダーが予め登録された少なくとも 2 つの連想メモリを有し、前記入力セルデータのヘッダーと前記入力通信回線で使用される全てのヘッダーとを照合して、一致する前記入力通信回線のヘッダーに対応する前記出力通信回線のヘッダーを出力するヘッダー更新回路と、前記通信データバッファから出力される通信データおよび前記ヘッダー更新回路から出力される出力通信回線のヘッダーを合成し、これを出力セルデータとして前記出力通信回線に出力する出力制御回路と、前記ヘッダー更新回路の少なくとも 2 つの連想メモリを少なくとも 2 列に分割して並列に使用し、前記ヘッダー更新回路による照合を並列に処理する並列処理と前記ヘッダー更新回路の少なくとも 2 つの連想メモリを直列に使用し、前記ヘッダー更新回路による照合を直列に処理する直列処理とを切替える切替回路とを備えることを特徴とするセルリレー形交換装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は、データ通信網におけるパケットデータの交換装置に関し、詳しくは、B-ISDN（広帯域統合サービスディジタル網）のセルリレー形パケットデータ（以下、セルデータと記述する）において、入力通信回線のセルデータのヘッダーを出力通信回線のヘッダーに更新するセルリレー形交換装置に関する。

【0002】

【従来の技術】 図 6 に示すように、B-ISDN の ATM（Asynchronous Transfer Mode：非同期転送モード）において、データストリームは、53 バイト固定長のセルデータから構成される。このセルデータは、5 バイトのヘッダーと 48 バイトの通信データとから構成され、ヘッダーは、伝送パス（伝送経路）を指定する VPI（Virtual Path Identifier：仮想パス）フィールドと、伝送回線を指定する VCI（Virtual Channel Identifier：仮想チャネル）フィールドとからなる制御情報により構成される。

【0003】 ATMセルリレー形交換機や ATMスイッチングハブは、入力通信回線から入力される入力セルデータのヘッダーである VPI および VCI を、これに対応する出力通信回線のヘッダーである VPI および VCI に更新することにより、入力通信回線および出力通信回線を接続し、入力通信回線から入力される通信データを出力通信回線に送出している。

【0004】 従来、このような入力通信回線および出力

通信回線の接続は、ソフトウェアにより制御されるデータ交換機を用いて行われるのが一般的であった。即ち、入力通信回線のヘッダーと出力通信回線のヘッダーとの対応テーブルを用いて、入力通信回線から入力される入力セルデータのヘッダーと入力通信回線において使用される全てのヘッダーとを順次照合し、一致する入力通信回線のヘッダーに対応する出力通信回線のヘッダーに更新することにより、入力通信回線および出力通信回線を接続していた。

【0005】 このソフトウェアにより制御されるデータ交換機においては、入力通信回線のヘッダーと出力通信回線のヘッダーとの対応テーブルを用いているため、そのエントリ数を容易に増加することができるという利点を有する反面、その検索動作に長時間を必要とするという問題点があった。例えば、ATM の通信速度は 155 Mbps 以上の高速である場合が多く、ソフトウェアにより制御されるデータ交換機では、通信データの転送速度が高速な場合には対応することができなかった。

【0006】 このため、例えば特開平 1-231452 号公報に開示されたフレーム・リレー形データ交換機などのように、CAM（Content Addressable Memory：連想メモリ）を用いて検索動作を高速に行わせることが提案されている。

【0007】 このフレーム・リレー形データ交換機は、入力通信回線上の論理回線データをヘッダ部と通信データ部とに分離する入力制御装置と、ヘッダ部を予め登録された入力論理回線番号と照合し、一致した入力論理回線番号が格納されたアドレスに相当するアドレス制御信号を出力する CAM と、アドレス制御信号に基づいて一致した入力論理回線番号に対応する予め登録された出力通信回線番号を出力する一時記憶回路と、通信データ部を一時格納する通信データバッファと、一時記憶回路から出力される出力通信回線番号と通信データバッファから出力される通信データ部とを合成して論理回線データとして出力通信回線上に出力する出力制御装置とを備えている。

【0008】 このフレーム・リレー形データ交換機において、入力通信回線から入力制御装置に入力される論理回線データはヘッダ部および通信データ部に分離され、ヘッダ部は CAM に供給されて入力通信回線の論理回線番号と照合され、通信データ部は CAM によりヘッダ部が照合される間、通信データバッファに保持される。そして、ヘッダ部に一致する論理回線番号が CAM に登録されている場合、これに対応するアドレス制御信号が一時記憶回路に供給され、一時記憶回路から対応する出力通信回線の論理回線番号が出力制御装置に供給されるとともに、通信データバッファから通信データ部が出力制御装置に供給される。出力制御装置において、これらの出力通信回線の論理回線番号および通信データ部は論理回線データとして合成されて出力通信回線に出力され

る。

【0009】このフレーム・リード形データ交換機によれば、メモリアクセスの高速化に比例して、即ち、CAMを用いてヘッダ部の照合・更新処理を行っているため、CAMや一時記憶回路が高速になればなる程、交換処理能力を向上させることができるとしている。

【0010】ところで、このヘッダ部の照合・更新処理に許容される時間は、図5に示すように、例えばATMのセルデータでは、最悪セルデータが絶え間なく転送される場合であり、合計53バイトのセルデータが転送される間の時間である。このため、ATMのようなセルデータが固定長のセルリレー形交換装置の場合、通信データの伝送速度が上昇することにより、ヘッダ部の照合・更新処理に許容される時間が短くなり、CAMのアクセスタimeが短縮されたとしても処理することができない場合があるという問題点があった。

【0011】この問題点を解決するための参考資料として、例えば特開昭51-128232号公報に開示された情報処理系や、特開平5-198186号公報に開示された連想メモリシステムなどがある。

【0012】特開昭51-128232号公報に開示された情報処理系は、メインメモリと、このメインメモリの情報の一部を記憶し、メインメモリよりも高速で動作する補助メモリと、読み出しまたは書き込み動作の際に使用されるアドレスが補助メモリ内にあるかどうかを決定するための比較情報を発生する連想メモリとを有するメモリモジュールを複数持ち、インターリーブ操作によって順当に逐次に要求されると期待されるワードが、これらのメモリモジュール内の補助メモリ単位に記憶されるものである。

【0013】この情報処理系によれば、インターリーブ技術によって逐次に使用されるべきワードが同一の補助メモリ内に属している確率が減少し、逐次のワードが効率的に同時にアクセスされる確率、即ち、次の順番のワードが前のワードの処理の完了前にアクセスされる確率が増加するため、システム内に重複アクセスが達成され、処理の全体的速度が増大されるとしている。

【0014】また、特開平5-198186号公報に開示された連想メモリシステムは、マイクロプロセッサから供給される仮想アドレスと予め記憶されたデータとが一致する時に第1の信号を出力する第1の連想メモリ回路と、この仮想アドレスと一致するデータが存在する時にこのデータを出力するキャッシュメモリと、このキャッシュメモリから出力されるデータと第1の信号が出力されたメモリ領域に予め記憶された物理アドレスとが一致する時に第2の信号を出力する第2の連想メモリ回路とを備えるものである。

【0015】この連想メモリシステムによれば、マイクロプロセッサの仮想アドレスを物理アドレスに変換する処理と、キャッシュメモリの中に必要なデータが存在す

るかどうかを判断する処理とを、第1および第2の連想メモリ回路により並列処理させることが可能になるため、キャッシュデータのヒット信号生成時間を短縮することができるとしている。

【0016】これらの情報処理系や連想メモリシステムにおいては、メインメモリ（主記憶）に対して読み出しまたは書き込みに使用されるアドレスが、補助メモリ（キャッシュメモリ）の中に存在するかどうかを決定するためにCAMを使用するものである。しかし、これらの公報に開示されているのは、コンピュータのメモリシステムを高速動作させるための工夫であり、CAMによる検索動作を高速に行わせるためのものではない。

【0017】なお、上述するフレーム・リレー形データ交換機においては、ATMのセルデータの場合とは異なり、フレームデータが可変長であるため、例えばフレームデータのデータ長を長くすることにより、上記問題点を回避することが可能である。また、CAMを利用したデータ交換装置の場合、ソフトウェアによるテーブル方式と異なり、一旦CAMのエントリ数（アドレス数）を決定した後、CAMや一時記憶回路を増設して、エントリ数を増加することは容易ではないという問題点もあった。

【0018】

【発明が解決しようとする課題】本発明の目的は、前記従来技術に基づく種々の問題点をかえりみて、高速な伝送速度に対応することができ、容易にCAMのエントリ数を増加することができるセルリレー形交換装置を提供することにある。

【0019】

【課題を解決するための手段】上記目的を達成するために、本発明は、入力通信回線から入力される入力セルデータをヘッダーおよび通信データに分離する入力制御回路と、前記入力セルデータの通信データを保持する通信データバッファと、前記入力通信回線で使用する全てのヘッダーおよびこれに対応する出力通信回線のヘッダーが予め登録された少なくとも2つの連想メモリを有し、前記入力セルデータのヘッダーと前記入力通信回線で使用する全てのヘッダーとを照合して、一致する前記入力通信回線のヘッダーに対応する前記出力通信回線のヘッダーを出力するヘッダー更新回路と、前記通信データバッファから出力される通信データおよび前記ヘッダー更新回路から出力される出力通信回線のヘッダーを合成し、これを出力セルデータとして前記出力通信回線に出力する出力制御回路と、前記ヘッダー更新回路の少なくとも2つの連想メモリを少なくとも2列に分割して並列に使用し、前記ヘッダー更新回路による照合を並列に処理する並列処理と前記ヘッダー更新回路の少なくとも2つの連想メモリを直列に使用し、前記ヘッダー更新回路による照合を直列に処理する直列処理とを切換える切換回路とを備えることを特徴とするセルリレー形交換

装置を提供するものである。

【0020】

【発明の作用】本発明のセルリレー形交換装置は、データ通信網のパケットデータ、特に、B-ISDNのセルリレー形パケットデータ（セルデータ）において、入力通信回線のセルデータのヘッダーをこれに対応する出力通信回線のヘッダーに更新するものであって、ヘッダー更新回路を少なくとも2つのCAMにより構成し、さらにこれらのCAMを並列または直列に使用するように切換える切換回路を備えるものである。ヘッダー更新回路のCAMを並列に使用することにより、ヘッダーの照合・更新処理を並列接続されたCAM毎に独立して並列に行うことができるため、ヘッダー更新回路のスループット（処理量）が向上され、より高速な通信速度に対応可能となる。また、直列に使用することにより、CAMに登録することができる入力通信回線のヘッダーのエントリー数を増加させることができる。このように、本発明のセルリレー形交換装置によれば、CAMを並列または直列に切換えて使用することができるため、通信回線の伝送速度および回線数に応じてCAMの使用構成を適宜変更することができ、よりフレキシブルなシステム構成が可能となる。

【0021】

【実施例】以下に、添付の図面に示す好適実施例に基づいて、本発明のセルリレー形交換装置を詳細に説明する。

【0022】図1は、本発明のセルリレー形交換装置の一実施例のブロック図である。同図に示すように、本発明のセルリレー形交換装置10は、入力制御回路12と、通信データバッファ14と、ヘッダー更新回路16と、出力制御回路18と、切換回路20とから構成される。

【0023】このセルリレー形交換装置10において、入力制御回路12には入力通信回線から、例えば図6に示される形式の入力セルデータ22が入力される。この入力セルデータ22は、入力制御回路12によりヘッダー24および通信データ26に分離されて出力される。

【0024】入力制御回路12により分離されたヘッダー24はヘッダー更新回路16に入力される。このヘッダー更新回路16は少なくとも2つのCAMから構成され、これらのCAMの中には入力通信回線で使用する全てのヘッダーと、これに対応する出力通信回線のヘッダーが予め登録される。これらのCAMにより、ヘッダー24は入力通信回線で使用する全てのヘッダーと照合される。そして、このヘッダー24に一致する入力通信回線のヘッダーが存在する場合、これに対応する出力通信回線のヘッダー28がヘッダー更新回路16から出力される。なお、存在しない場合には不一致検出信号30が出力される。

【0025】一方、入力制御回路12により分離された

通信データ26は通信データバッファ14に入力される。この通信データバッファは、例えばFIFO（First-In-First-Out）形式のバッファであり、通信データ26はヘッダー更新回路16によりヘッダー24が更新される間、通信データバッファ14により一時的に保持される。また、通信データバッファ14には、ヘッダー更新回路16から出力される不一致検出信号30が入力される。この不一致検出信号30が入力されると、通信データバッファ14に保持されている通信データ26は廃棄（クリア）される。

【0026】上述するヘッダー更新回路16から出力される出力通信回線のヘッダー28、および通信データバッファ14から出力される通信データ32は、ともに出力制御回路18に入力される。この出力制御回路18により、出力通信回線のヘッダー28および通信データ32は、例えば図6に示される形式のセルデータに合成され、出力セルデータ34として出力通信回線に出力される。

【0027】ここで、切換回路20は、ヘッダー更新回路16を構成する少なくとも2つのCAMを分割して並列に使用し、これらのCAMによる照合を並列に処理する並列処理と、ヘッダー更新回路16を構成する少なくとも2つのCAMを直列に使用し、これらのCAMによる照合を直列に処理する直列処理とを切換えるものであり、より具体的にはセレクト等により構成される。この切換回路20には切換信号36が入力され、この切換信号36に応じた制御信号37により、入力制御回路12、通信データバッファ14および出力制御回路18を制御し、並列処理または直列処理の切換えが行われる。

【0028】並列処理において、並列に使用されるCAMの同一ワードメモリには同じ入力通信回線のヘッダーが予め登録される。これらの並列に使用されるCAMにより、入力セルデータ22のヘッダー24と入力通信回線で使用する全てのヘッダーとの照合は、並列に使用されるCAM毎に独立して並列に行われるため、ヘッダー更新回路16のスループットが向上され、並列に使用されるCAMの個数に応じて、ヘッダー24の照合・更新処理に許容される時間を数倍に長くすることができ、高速な伝送速度に対応することができる。

【0029】一方、直列処理において、直列に使用されるCAMのワードメモリにはそれぞれ別々の入力通信回線のヘッダーが予め登録される。これらの直列に使用されるCAMにより、入力セルデータ22のヘッダー24と入力通信回線で使用する全てのヘッダーとの照合は、一時に1つの入力セルデータ22のヘッダー24だけが直列に行われるため、CAMに登録することができる入力通信回線のヘッダーのエントリー数を増加させることができる。また、並列処理および直列処理を切換えて使用することができるため、システムに応じて高速な伝送速度に対応することもできし、容易にCAMのエ

ントリー数を増加することもできる。

【0030】なお、図1に示すブロック図においては、切換回路20が独立して構成され、制御信号37により、入力制御回路12、通信データバッファ14、ヘッダー更新回路16および出力制御回路18を制御するよう構成されているが、このブロック図は概念的なものであって、例えば切換回路20を構成するセクタ等は、入力制御回路12、通信データバッファ14、ヘッダー更新回路16および出力制御回路18の内部にそれぞれ個別に配置され、これらを切換信号36により直接制御するなど適宜変更可能なことは言うまでもないことである。

【0031】次に、図2および図3に示すブロック図を使用して、本発明のセルリレー形交換装置をさらに具体的に説明する。

【0032】図2は、本発明のセルリレー形交換装置を並列処理で使用する場合の一実施例のブロック図である。このセルリレー形交換装置10は、直並列変換回路38、入力コントロール40、データキャプチャ42およびヘッダーキャプチャ44からなる入力制御回路12と、通信データバッファ46、48(14)と、CAM50、52からなるヘッダー更新回路16と、セクタ54、56、レジスタ58、60、セクタ62、出力コントロール64および直並列変換回路66からなる出力制御回路18とから構成されている。

【0033】このブロック図において、セクタ54、56は切換回路20の一部を構成するものである。なお、図面の煩雑さを避けるため、入力コントロール40、データキャプチャ42およびヘッダーキャプチャ44に対する切換制御、通信データバッファ46、48に対する切換制御、CAM50、52に対する切換制御、および出力コントロール64に対する切換制御は、全て図示していない切換回路20により行われるものとして、具体的な構成回路の図示を省略する。

【0034】このセルリレー形交換装置10において、切換信号MODEはローレベル、即ち、このセルリレー形交換装置10は、図示していない切換回路20により並列処理に切換えられる。直並列変換回路38には入力セルデータINおよびこの入力セルデータINに同期したクロック信号CLOCK1が入力され、入力コントロール40には入力セルデータINの入力開始を指示するスタート信号STARTおよびクロック信号CLOCK1が入力される。なお、このスタート信号STARTおよびクロック信号CLOCK1は、ともに図示していない外部の回線接続装置により発生されるものである。

【0035】まず、入力セルデータINは入力通信回線から直並列変換回路38にシリアルに入力される。直並列変換回路38において、シリアルな入力セルデータINは、クロック信号CLOCK1により8ビット単位または4ビット単位でパラレルに変換される。そして、パラレル

に変換された入力セルデータINのヘッダーおよび通信データ68は、それぞれデータキャプチャ42およびヘッダーキャプチャ44に入力される。

【0036】一方、入力コントロール40においては、スタート信号STARTおよびクロック信号CLOCK1に基づいてタイミング信号70、72が生成され、これらのタイミング信号70、72はそれぞれデータキャプチャ42およびヘッダーキャプチャ44に入力される。これらのタイミング信号70、72により、データキャプチャ42およびヘッダーキャプチャ44に入力される通信データおよびヘッダー68は、それぞれヘッダーキャプチャ42およびデータキャプチャ44に取り込まれる。

【0037】図4に示すように、ヘッダーキャプチャ44に取り込まれたヘッダー、例えば偶数番目の入力セルデータINのヘッダー74はCAM50に、奇数番目の入力セルデータINのヘッダー76はCAM52に入力される。同様に、データキャプチャ44に取り込まれた通信データ、例えば偶数番目の入力セルデータINの通信データ78は通信データバッファ46に、奇数番目の入力セルデータINの通信データ80は通信データバッファ48に入力されて一時的に保持される。

【0038】ここで、並列に使用されるCAM50、52には入力通信回線で使用する全てのヘッダーおよびこれに対応する出力通信回線のヘッダーが予め登録される。即ち、CAM50、52の内容は全く同一のものであり、同一ワードメモリには同一の入力通信回線のヘッダーおよびこれに対応する出力通信回線のヘッダーが登録される。これらのCAM50、52においてはそれぞれ独立して並列に、入力セルデータINのヘッダー74、76と予め登録されている入力通信回線の全てのヘッダーとが照合される。

【0039】図4に示すように、CAM50は偶数番目の入力セルデータINのヘッダー74の照合を行い、同様にCAM52は奇数番目の入力セルデータINのヘッダー76の照合を行うため、それぞれのCAM50、52がヘッダー74、76の照合に許容される時間は、ATMの入力セルデータINが絶え間なく転送される場合であっても、2つの入力セルデータINが入力される間の時間が確保される。従って、従来の場合と比較して照合に許容される時間が2倍になるため、従来と同じアクセスタイムのCAMを使用しても、従来の2倍の伝送速度に対応可能となる。

【0040】照合の結果、CAM50、52において、それぞれ偶数番目および奇数番目の入力セルデータINのヘッダー74、76に一致する入力通信回線のヘッダーが存在する場合、これに対応する出力通信回線のヘッダーが出力され、ともにセクタ56に入力される。また、通信データバッファ46、48に一時的に保持されている偶数番目および奇数番目の入力セルデータINの通信データ78、80は、ともにセクタ54に入力され

る。

【0041】一方、存在しない場合、CAM50, 52からそれぞれ不一致検出信号82, 84が出力され、これらの不一致検出信号82, 84はそれぞれ通信データバッファ46, 48に入力される。これらの不一致検出信号82, 84がそれぞれの通信データバッファ46, 48に入力されると、それぞれの通信データバッファ46, 48に一時的に保持されている通信データ78, 80は廃棄される。

【0042】ここで、出力コントロール64において、クロック信号CLOCK2に基づいてセレクト信号86, 88、タイミング信号90, 92およびセレクト信号94が生成され、これらのセレクト信号86, 88、タイミング信号90, 92およびセレクト信号94は、それぞれセクタ54, 56、レジスタ58, 60およびセクタ62に入力される。なお、クロック信号CLOCK2は、クロック信号CLOCK1と同様に、図示していない外部の回線接続装置により発生されるものである。

【0043】セクタ54に入力される偶数番目および奇数番目の入力セルデータINの通信データ96, 98、およびセクタ56に入力される偶数番目および奇数番目の入力セルデータINのヘッダー100, 102は、それぞれセレクト信号86, 88により同期が取られ、偶数番目および奇数番目の入力セルデータINの通信データ96, 98およびヘッダー100, 102が交互に選択出力される。

【0044】即ち、通信データバッファ46から入力される偶数番目の入力セルデータINの通信データ96がセクタ54から出力される場合、CAM50から入力される偶数番目の入力セルデータINのヘッダー100がセクタ56から出力され、同様に、通信データバッファ48から入力される奇数番目の入力セルデータINの通信データ98がセクタ54から出力される場合、CAM52から入力される奇数番目の入力セルデータINのヘッダー102がセクタ56から出力される。

【0045】セクタ54から出力される通信データ104はレジスタ58に入力され、同様に、セクタ56から出力されるヘッダー106はレジスタ60に入力される。これらの通信データ104およびヘッダー106は、タイミング信号90, 92により同時にそれぞれレジスタ58, 60に取り込まれる。また、これらのレジスタ58, 60に取り込まれた通信データ108およびヘッダー110は、ともにセクタ62に入力され、セレクト信号94により選択出力されて並直列変換回路66に入力される。

【0046】そして、セクタ62から出力される通信データおよびヘッダー112は、直並列変換回路66において、クロック信号CLOCK2によりシリアルに変換され、シリアルに変換された通信データおよびヘッダー112は、出力セルデータOUTとして出力通信回線に出力

される。

【0047】次に、図3は、本発明のセルリレー形交換装置を直列処理で使用する場合の一実施例のブロック図である。直列処理において、図2に示されるCAM50, 52は直列接続されて使用されるため、これに応じて通信データバッファ48は使用されない。また、セクタ54, 56からは、その入力信号96, 100が出力信号104, 106として固定出力される。

【0048】ここでは、図面の煩雑さを避けるために、直列処理では使用されない通信データバッファ48およびセクタ54, 56は図示しないものとし、並列処理の場合と同様に、入力コントロール40、データキャプチャ42およびヘッダーキャプチャ44に対する切換制御、通信データバッファ46, 48に対する切換制御、CAM50, 52に対する切換制御、および出力コントロール64に対する切換制御は、全て図示していない切換回路20により行われるものとして、具体的な構成回路の図示を省略する。

【0049】このセルリレー形交換装置10において、切換信号MODEはハイレベル、即ち、このセルリレー形交換装置10は、図示していない切換回路20により直列処理に切換えられる。直列処理で使用されるセルリレー形交換装置10において、ヘッダーキャプチャ44に取り込まれたヘッダー74はCAM50, 52に入力され、同様に、データキャプチャ42に取り込まれた通信データ78は通信データバッファ46に入力されて一時的に保持される。

【0050】ここで、CAM50, 52は直列接続されて使用され、これらのCAM50, 52には入力通信回線で使用される全てのヘッダーおよびこれに対応する出力通信回線のヘッダーが予め登録される。即ち、CAM50, 52のそれぞれのワードメモリにはそれぞれ異なる入力通信回線のヘッダーおよびこれに対応する出力通信回線のヘッダーが登録され、これらのCAM50, 52においては直列に、入力セルデータINのヘッダー74と予め登録されている入力通信回線の全てのヘッダーとが照合される。

【0051】なお、図5に示すように、CAM50, 52がヘッダー74の照合に許容される時間は、ATMの入力セルデータINが絶え間なく転送される場合、1つの入力セルデータINが入力される間の時間となる。従って、CAM50, 52がヘッダー74の照合に許容される時間は従来の場合と同じであるが、CAM50, 52が直列接続されて使用されているため、従来の2倍のエントリー数の入力通信回線のヘッダーを登録することができる。

【0052】照合の結果、CAM50, 52において、入力セルデータINのヘッダー74に一致する入力通信回線のヘッダーが存在する場合、これに対応する出力通信回線のヘッダー100が出力されてレジスタ60に入力

される。また、通信データバッファ 46 に一時的に保持されている通信データ 96 はレジスタ 58 に入力される。

【0053】一方、存在しない場合、CAM 50, 52 から不一致検出信号 82 が出力され、この不一致検出信号 82 は通信データバッファ 46 に入力されると、通信データバッファ 46 に一時的に保持されている通信データ 96 は廃棄される。

【0054】これらの通信データ 96 およびヘッダー 100 は、図示していないセクタ 54, 56 を通過して、タイミング信号 90, 92 により同時にそれぞれレジスタ 58, 60 に取り込まれる。また、これらのレジスタ 58, 60 に取り込まれた通信データ 108 およびヘッダー 110 は、ともにセクタ 62 に入力され、セレクト信号 94 により選択出力されて並直列変換回路 66 に入力される。

【0055】そして、セクタ 62 から出力される通信データおよびヘッダー 112 は、直並列変換回路 66 において、クロック信号 CLOCK2 によりシリアルに変換され、シリアルに変換された通信データおよびヘッダー 112 は、出力セルデータ OUT として出力通信回線に出力される。

【0056】本発明のセルリレー形交換装置を実施例を挙げて説明したが、本発明はこの実施例だけに限定されるものではない。例えば、並列処理において並列接続される CAM の個数は 2 つ以上であれば幾つでも良い。また、並列処理および直列処理は完全に分離されるものではなく、例えば 4 個の CAM によりヘッダー更新回路が構成される場合、4 個並列および 4 個直列にして使用する以外にも、2 個直列 2 個並列、即ち、2 列の並列処理として、1 列当たり 2 つの CAM を使用するよう構成しても良い。また、本発明のセルリレー形交換装置は、CAM チップなどの個々の半導体集積回路を使用して構成しても良いし、例えば CAM セルブロックを使用して 1 つの半導体集積回路として構成しても良い。

【0057】

【発明の効果】以上詳細に説明した様に、本発明のセルリレー形交換装置は、ヘッダー更新回路を構成する CAM を並列または直列に切換えて使用する切換回路を備えるものである。CAM を並列に使用することにより、ヘッダーの照合・更新処理のスループットを向上させることができ、より高速な伝送速度に対応することができる。一方、CAM を直列に使用することにより、予め登録される入力通信回線のヘッダーのエントリー数を増加させることができる。このように、本発明のセルリレー形交換装置によれば、通信回線の伝送速度および回線数

に応じて、ヘッダー更新回路を構成する CAM を並列または直列に切換えて使用することができるため、よりフレキシブルなシステム構成が可能となる。

【図面の簡単な説明】

【図 1】本発明のセルリレー形交換装置の一実施例のブロック図である。

【図 2】本発明のセルリレー形交換装置を並列処理で使用する場合の一実施例のブロック図である。

【図 3】本発明のセルリレー形交換装置を直列処理で使用する場合の一実施例のブロック図である。

【図 4】本発明のセルリレー形交換装置を並列処理で使用する場合のヘッダー照合・更新に許容される時間を示す一実施例のタイミングチャートである。

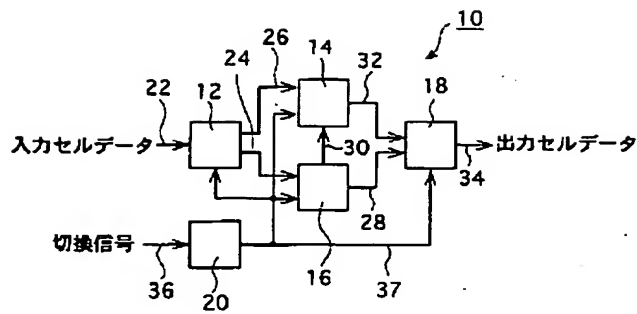
【図 5】本発明のセルリレー形交換装置を直列処理で使用する場合のヘッダー照合・更新に許容される時間を示す一実施例のタイミングチャートである。

【図 6】B-ISDN の ATM におけるデータストリームの構成を示す一例の模式図である。

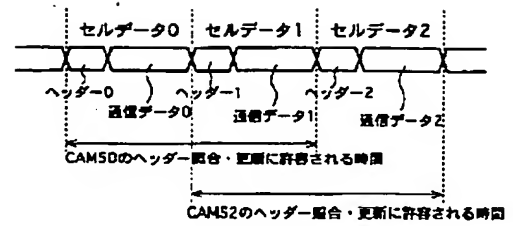
【符号の説明】

- 10 セルリレー形交換装置
- 12 入力制御回路
- 14, 46, 48 通信データバッファ
- 16 ヘッダー更新回路
- 18 出力制御回路
- 20 切換回路
- 22, 68, IN 入力セルデータ
- 24, 28, 74, 76, 100, 102, 106, 110 ヘッダー
- 26, 32, 78, 80, 96, 98, 104, 108 通信データ
- 30, 82, 84 不一致検出信号
- 34, 112, OUT 出力セルデータ
- 36, MODE 切換信号
- 37 制御信号
- 38 直並列変換回路
- 40 入力コントロール
- 42 データキャプチャ
- 44 ヘッダーキャプチャ
- 50, 52 連想メモリ (CAM)
- 54, 56, 62 セクタ
- 58, 60 レジスタ
- 64 出力コントロール
- 66 並直列変換回路
- 70, 72, 90, 92 タイミング信号
- 86, 88, 94 セレクト信号
- START スタート信号
- CLOCK1, CLOCK2 クロック信号

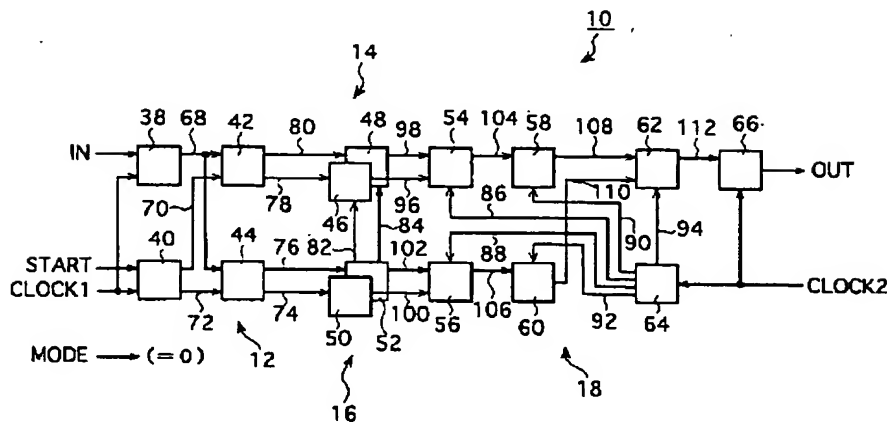
【図 1】



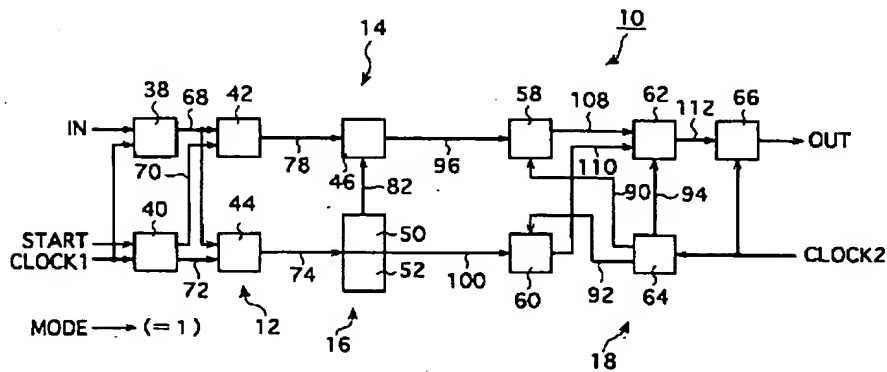
【図 4】



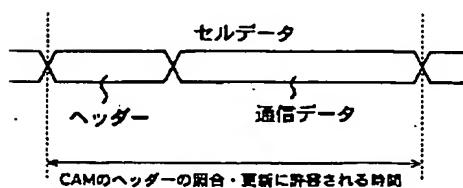
【図 2】



【図 3】



【図 5】



【図 6】

